

# PATENT ABSTRACTS OF JAPAN

①

(11)Publication number : 10-336396

(43)Date of publication of application : 18.12.1998

(51)Int.Cl. H04N 1/04

(21)Application number : 09-141960

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 30.05.1997

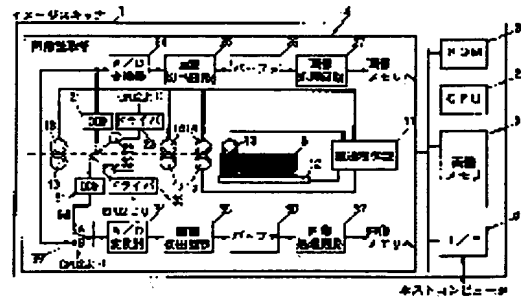
(72)Inventor : HATADA SHUICHI

## (54) IMAGE READER

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To utilize effectively an image processing circuit for a rear side in the case of reading a one-side original in the image reader having a double-side reading function.

**SOLUTION:** When an original 5 is a double-side original, an image of the front side is read by a CCD 21, binarized by an image processing circuit 27, a rear side of the original is read by a CCD 31 and binarized by an image processing circuit 37. On the other hand, in the case that the original 5 is a one-side original, a switch SW is thrown to the position of a contact B, the image received from the CCD 21 is binarized by the image processing circuit 27 and an image of a specific part such as a bar code is segmented by the image processing circuit 37 and multilevel data are written in an image memory 6 without further modification.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-336396

(43) 公開日 平成10年(1998)12月18日

(51) Int.Cl.<sup>8</sup>

H04N 1/04

識別記号

107

F I

H04N 1/04

107 Z

審査請求 未請求 請求項の数 1 O L (全 7 頁)

(21) 出願番号 特願平9-141960

(22) 出願日 平成9年(1997)5月30日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 畑田 秀一

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

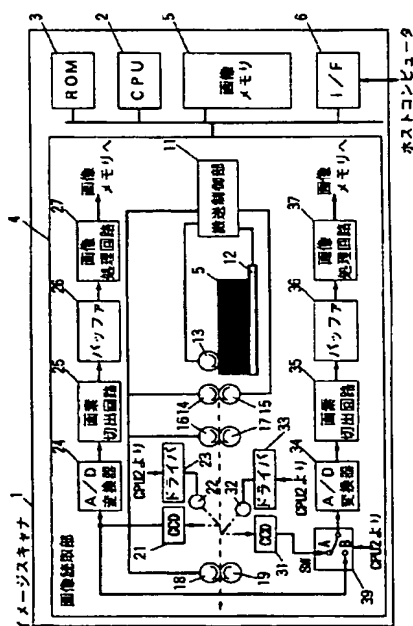
(74) 代理人 弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 画像読取装置

(57) 【要約】

【課題】 両面読み取り機能を有する画像読取装置において、片面原稿の読み取り時に裏面用の画像処理回路を有効に活用することを目的とする。

【解決手段】 原稿5が両面原稿の場合には、表面の画像はCCD21で読み取って画像処理回路27で2値化処理し、裏面の原稿はCCD31で読み取って画像処理回路37で2値化処理する。一方、原稿5が片面原稿の場合には、CPU2からの指示によりスイッチSWを接点B側に切り換え、CCD21から入力される画像を画像処理回路27で2値化処理すると同時に、画像処理回路37において例えばバーコード部分など特定部分の画像のみを切り出し多値データのまま画像メモリ6へ書き込む。



1

## 【特許請求の範囲】

【請求項1】原稿を搬送する搬送手段と、前記搬送手段によって搬送される原稿の第1の面の画像を読み取る第1の読取手段と、前記第1の読取手段からの出力を処理する第1の画像処理手段と、前記搬送手段によって搬送される原稿の、前記第1の面とは異なる第2の面を読み取る第2の読取手段と、前記第1の読取手段からの出力、又は前記第2の読取手段からの出力を処理する第2の画像処理手段と、前記第2の画像処理手段への入力を、前記第1の読取手段からの出力と前記第2の読取手段からの出力とで切り換える切換手段とを有することを特徴とする画像読取装置。

## 【発明の詳細な説明】

## 【0001】

【発明が属する技術分野】本発明は、両面原稿を読み取ることができる装置に関わり、特に表・裏に対応した別々の読み取り部を有することにより、原稿の両面をほぼ同時に読み取ることができる画像読取装置に関するものである。

## 【0002】

【従来の技術】近年、パーソナルコンピュータの普及と共に、電子ファイリングシステムが広く利用されるようになってきており、報告書や技術情報などの各種資料の管理に用いられるほか、営業や購買部門において大量に発生する受発注伝票などの保存・管理等にも活用されている。

【0003】この電子ファイリングシステムの普及と共に注目されているものが、原稿を入力するための画像読取装置である。従来、パーソナルコンピュータに接続される画像読取装置としては、原稿をガラス面に置いて光学系を移動させて読み取りを行う、所謂フラットベッドタイプが主流であったが、近年では、松下製のKV-S550等のように、原稿を搬送しながら固定された読取部で高速に読み取りを行う原稿移動タイプのものが注目されている。この原稿移動タイプのものでは、同KV-S555のように原稿の搬送路の上下に読取部及び画像処理回路を設け、1回の搬送で原稿の両面の画像を読み取る機能が提供されている。これによると、表裏両面に情報が記載された原稿を従来の半分の時間で入力することができる。

## 【0004】

【発明が解決しようとする課題】しかしながら、実際の作業においては、片面のみに情報が記載された原稿を処理する場合も多く、片面原稿の読み取りを行う場合には裏面用の読取部や画像処理回路は使用されないことになる。

【0005】本発明はこの点に着目し、片面原稿の読み取り時に裏面用の画像処理回路を有効に活用することができる画像読取装置を提供することを目的とする。

## 【0006】

2

【課題を解決するための手段】本発明は上記課題を解決するために、原稿を搬送する搬送手段と、前記搬送手段によって搬送される原稿の第1の面の画像を読み取る第1の読取手段と、前記第1の読取手段からの出力を処理する第1の画像処理手段と、前記搬送手段によって搬送される原稿の、前記第1の面とは異なる第2の面を読み取る第2の読取手段と、前記第1の読取手段からの出力、又は前記第2の読取手段からの出力を処理する第2の画像処理手段と、前記第2の画像処理手段への入力を、前記第1の読取手段からの出力と前記第2の読取手段からの出力とで切り換える切換手段とを有する。

## 【0007】

【発明の実施の形態】図1は本発明の実施の形態における画像読取装置のブロック図であって、イメージスキャナ1は、全体の制御及び各種データ処理を行うCPU2、CPU2の制御プログラムを格納するROM3、画像の読み取りを行う画像読取部4、画像読取部4で読み取った画像データを記憶する画像メモリ5、ホストコンピュータ等とデータをやりとりするためのインターフェース部6を有する。

【0008】画像読取部4内の搬送制御部11は、給紙テーブル12上に積載された原稿5の給紙・搬送・排紙を制御するものであって、給紙テーブル12の昇降、ピックアップローラ13、給紙ローラ14、リタードローラ15、搬送ローラ16、排紙ローラ18などの動作制御を行う。給紙テーブル12上に積載された原稿5は、ピックアップローラ13、給紙ローラ14、リタードローラ15によって分離・給紙され、最上部の1枚のみが給紙される。17、19は、搬送ローラ16、排紙ローラ18に連れ回しする補助ローラであって、給紙された1枚の原稿5を搬送・排紙する。また、給紙テーブル12は、原稿5の積載量に応じて昇降するさせるため、積載された原稿5の最上面はほぼ一定の高さに保たれる。

【0009】原稿5の搬送路中における上下には、原稿5の表面、裏面上の情報を読み取るためのCCD21とCCD31が主走査方向に1ライン分（この1ライン分の長さは、原稿5の最大サイズよりも若干大きい幅を読み取ることができる長さである。）設けられており、CCD21にはドライバ23によって駆動する光源22から照射した光の、搬送されてくる原稿5の表面による反射光が入射し、CCD31にはドライバ33によって駆動する光源32から照射した光の、搬送されてくる原稿5の裏面による反射光が入射する。

【0010】CCD21に入射した光は電気信号に変換された後、A/D変換器24へ出力され、画素切出回路25で原稿のサイズに応じた必要部分のみが切り出された後、バッファ26、画像処理回路27を介して画像メモリ5へと書き込まれる。画像処理回路27では、入力される画像データの2値化処理、補正処理、拡大・縮小処理などを行う。

3

【0011】SW39はA/D変換器34への入力を、CPU2からの指示に応じてCCD21とCCD31とで切り換えるスイッチである。SW39が接点A側に接続されている場合には、CCD31の出力がA/D変換器34は入力され、接点B側に接続されている場合には、CCD21の出力がA/D変換器34へ入力される。従って、CPU2はホストコンピュータから原稿5の両面を読み取る旨の指示があった場合にはSW39を接点Aに接続し、片面の指示があった場合には、接点Bに接続する。

【0012】34はA/D変換器、35は画素切出回路、36はバッファ、37は画像処理回路であって、A/D変換器24、画素切出回路25、バッファ26、画像処理回路27と同様の動作を行う。尚、以降、A/D変換器24、画素切出回路25、バッファ26、画像処理回路27についてのみ説明を行い、特別な場合を除いてはA/D変換器34、画素切出回路35、バッファ36、画像処理回路37についての説明を省略する。

【0013】図2はCCD21、A/D変換器24、画素切出回路25、バッファ26、画像処理回路27の詳細を示したブロック図である。

【0014】CCD21は受光素子51、アナログシフトレジスタ52から構成され、受光素子51において、入力光を電気信号に変換し、それを後述する同期パルス発生回路53から入力される同期パルス(A)に応じてアナログシフトレジスタ52に書き込み、これも後述する読取用クロック発生回路54から入力される読取用クロック(B)に応じて各画素のデータをアナログシフトレジスタ52から出力する。A/D変換器24はCCD21から出力されるアナログ電気信号を、デジタル画像30データに変換して、画素切出回路25へと出力する。

【0015】画素切出回路25では、入力される画像データ(C)から、タイミング発生回路55から出力される切出信号(D)に応じた部分のみを切り出して、メモリコントローラ60及びメモリコントローラ61へと出力する。また、入力される読取用クロック(B)に基づいて、ライトアドレスカウンタ56へライトアドレスカウンタクロック(F)を出力する。

【0016】タイミング発生回路55では、CCD21からの出力の内、原稿5のサイズに応じた必要部分のみ40を切り出すための切出信号(D)を画素切出回路25へ出力する。

【0017】ライトアドレスカウンタ56はライトアドレスカウンタクロック(F)に応じて「0」から「n+1」までの正数をカウントし、そのカウント値(G)をアドレスセクタ58及びアドレスセクタ59へ出力する。リードアドレスセクタ57は、画像処理回路27から出力されるリードアドレスカウンタクロック(H)に応じて、「0」から「n」までの正数をカウントし、そのカウント値(I)をアドレスセクタ58及

4

びアドレスセクタ59へ出力する。アドレスセクタ58は、ライトアドレスカウンタ56又はリードアドレスカウンタ57からの入力に応じて、SRAM62の入力又は読み出しアドレス(K)を切り換える。入力と読み出しは、切替回路64から出力されるリード/ライト切替信号(J)に応じて切り換えられる。又、アドレスセクタ59は、ライトアドレスカウンタ56又はリードアドレスカウンタ57からの入力に応じて、SRAM63の入力又は読み出しアドレス(M)を切り換える。SRAM63の入力、読み出しもSRAM62と同様に、切替回路64から出力されるリード/ライト切替信号(J)に応じて切り換えられる。

【0018】メモリコントローラ60及び61は、SRAM62及び63へライトイネーブル信号WE、アウトプットイネーブル信号OEを出力するとともに、画像データの書き込み、読み出しを行う。

【0019】データセクタ65は、画像処理回路27への出力(O)をSRAM62のデータ(L)とSRAM63のデータ(N)とで切り換える。

【0020】以上のように構成された本実施の形態について、図3及び図4のタイミングチャートに基づいて説明する。

【0021】同期パルス53は、CPU2からの指示によりCCD21、読取用クロック発生回路54、切替回路64、画像処理回路27に同期パルスを出力する。この同期パルスの周期Tは、イメージスキャナ4が原稿5から読み取った主走査方向1ライン分の画像データを処理可能な周期であって、以下の2つの値の内、どちらか大きい方の値となる。

【0022】(1) CCD21が1ライン分全ての画素データを出力するために必要な時間。即ち、CCD21を駆動する読取用クロックの周期(本実施例では50ns)を、CCD21で読取可能な1ラインの最大画素数1倍した値と、CCD21によって特有な値t0との和。

【0023】(2) SRAM62又はSRAM63に書き込まれた原稿5の1ライン分の画像データを画像処理回路27が処理可能な時間。即ち、画像処理回路27の動作クロックであり、リードアドレスカウンタ57へリードアドレスカウンタクロックとして出力されるクロックの周期(本実施例では100ns)を、画素切出回路25で切り出される画素数n倍した値。

【0024】上記したように周期Tは、CCD21、画像処理回路27の仕様、及び原稿5のサイズによって一意に定まる値であり、同期パルス発生回路53に対してCPU2によって予め設定されるものである。

【0025】同期パルス発生回路53から読取用クロック発生回路54に同期パルスが入力されると、同期パルスから時間t0後に、読取用クロック発生回路54は読取用クロックをCCD21、画素切出回路25、メモリ

5

コントローラ60及び61へ出力する。この読取用クロックは、CCD21の動作クロックとして周期が設定されている。CCD21では、受光素子51に蓄積された電気信号を同期パルスに応じてアナログシフトレジスタ52に書き込み、読取用クロックに合わせて1画素毎の画像データをA/D変換器24へ出力する。A/D変換器24へ入力される画像データは、8ビットのデジタルデータに変換されて画素切出回路25へと出力される。

【0026】タイミング発生回路55には、CPU2によって原稿5のサイズが設定されており、読取用クロック10に応じて、A/D変換器24の出力から原稿5のサイズに応じた必要画素のみを切り出すための切出信号

(D)を画素切出回路25へ出力する。画素切出回路25は、切出信号(D)を受けて画像データ(C)から必要部分のみを切り出した画像データ(E)をメモリコントローラ60及び61へと出力する。

【0027】画素切出回路25は、切出信号(D)の立ち上がりの次の読取用クロック(B)に応じて、ライトアドレスカウンタクロック(F)を、画素数nに1を加えた(n+1)個分、読取用クロック合わせて出力す20る。ライトアドレスカウンタ56は、初期状態では「0」に値が設定されているが、ライトアドレスカウンタクロック(F)が入力される毎に、アドレスセクタ58及びアドレスセクタ59へ出力するアドレスカウンタ値(G)を「n」までカウントアップし、「n+1」個目のライトアドレスカウンタクロック(F)によって「0」にリセットする。

【0028】リードアドレスカウンタ57は、画像処理回路27から出力されるリードアドレスカウンタクロック(H)に応じて「0」から「n」までの整数値を繰り30返しカウントして、その値(I)をアドレスセクタ58及び59へ出力する。

【0029】アドレスセクタ58及び59は、カウンタ値(G)又はカウンタ値(I)に基づいて、SRAM62の読み出し/書き込みアドレス(K)及びSRAM63の読み出し/書き込みアドレス(M)を設定する。

【0030】メモリコントローラ60は、SRAM62に対するデータの書き込み、及びデータの読み出し制御を行うもので、データの書き込みを行う場合にはライトイネーブル信号WEを、又、データの読み出しを行う場40合にはアウトプットイネーブル信号OEを出力する。即ち、データの書き込み時には、ライトイネーブル信号WEの各立ち下がりに応じてアドレス(K)で設定されているアドレスにデータ(L)として出力されている画像データが書き込まれる。また、アウトプットイネーブル信号OEが出力されている間には、アドレス(K)の切り替わりに応じて、アドレス(K)で指定されているアドレスに記憶されている画像データがデータ(L)として読み出され、データセクタ65へ出力される。また、メモリコントローラ61は、SRAM63に対する50

6

データ書き込み/読み出しを制御するものであるが、メモリコントローラ60と同様な制御であるので、詳細な説明を省略する。

【0031】切替回路64は、アドレスセクタ58、59、メモリコントローラ60、61、データセクタ65に、リード/ライト切替信号(J)を出力する。このリード/ライト切替信号(J)によって、SRAM62、SRAM63に対する画像データの書き込み/読み出しが切り換えられる。そして、データセクタ65は、画像処理回路27への出力をSRAM62からの画像データとSRAM63からの画像データとで、リード/ライト切替信号に応じて切り換える。

【0032】即ち、リード/ライト切替信号(J)がアクティブ(High level)の時は、アドレスセクタ58はSRAM62への書き込みアドレスをアドレス(K)として出力し、メモリコントローラ60は画素切出回路25から出力される画像データ(E)を画像データ(L)として出力し、ライトイネーブル信号WEを出力することによって、SRAM62への画像データの書き込みが行われる。また、アドレスセクタ59はSRAM63からの読み出しアドレスをアドレス(M)として出力し、メモリコントローラ61はアウトプットイネーブル信号OEを出力して、SRAM63に記憶された画像データを読み出し、画像データ(N)として、データセクタ65へと出力する。データセクタ65は、画像データ(N)を出力画像データ(O)として画像処理回路27へ出力する。

【0033】このリード/ライト切替信号(J)は、同期パルス(A)の入力に応じて切り替わり、リード/ライト切替信号(J)がアクティブ(High level)からノンアクティブ(Low level)に変わると、上記動作は入れ替わり、SRAM63へ画像データの書き込みが行われると共に、SRAM62に記憶されたデータが画像処理回路27へ出力される。

【0034】イメージスキヤナ1において、A/D変換器34、画素切出回路35、バッファ36、画像処理回路37は、CCD31で読み取った原稿5の裏面の画像データを処理するためのものであるが、一般的に両面原稿を取り扱うよりも片面原稿を取り扱い方が頻度が高い。従って、片面原稿を読み取っている間は、上記A/D変換器34等を有効に活用するために、SW39によってCCD21から入力される表面側の画像データをA/D変換器24と同時に、A/D変換器34にも入力させる。そして、画像処理回路27では画像データを2値化して画像メモリ5に書き込むことによって、以後の処理データの容量を減らし、画像処理回路37では、必要分のみを切り出して多値データとして画像メモリ5に書き込む。このように、読み取った画像データ全体をイメージスキヤナで2値化することによって、以後の処理の高速化を図ると共に、一部のデータは多値画像データ

8

【0037】

【発明の効果】本発明は、原稿の両面を読み取ることができる画像読取装置において、片面原稿読み取り時であっても、裏面処理用の画像処理回路を有効に利用することができる。

【図面の簡単な説明】

【図 2】同画像読取装置における画像読取部内のブロック図

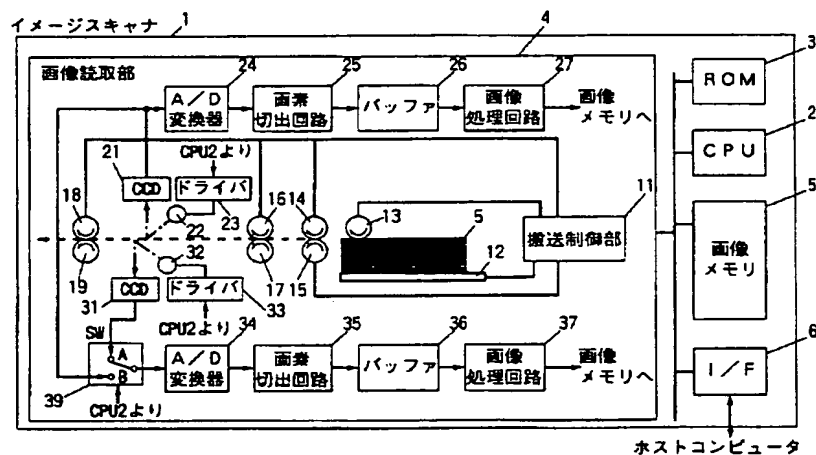
【図 4】同画像読取装置における画像読取部の動作タイミングチャート

【図5】同画像読取装置の動作フローチャート

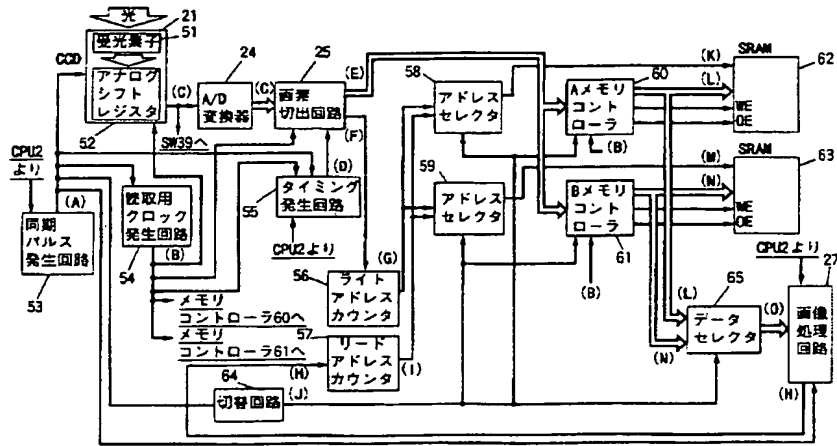
【符号の説明】

- 1 イメージスキャナ
- 2 CPU
- 3 ROM
- 4 画像読取部
- 5 画像メモリ
- 6 I/F

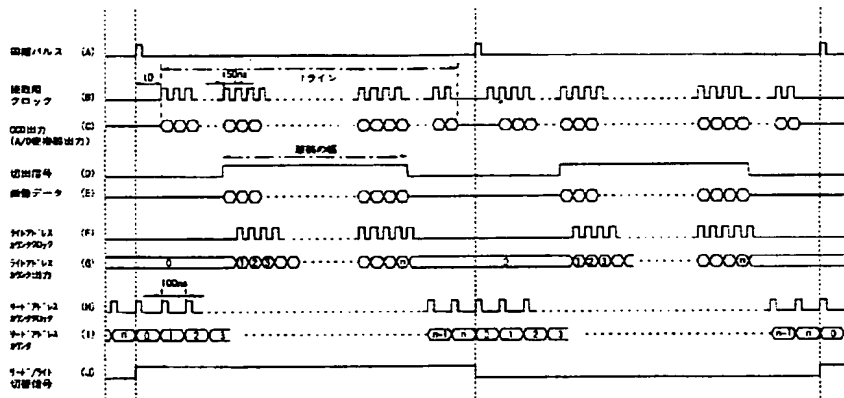
【图 1】



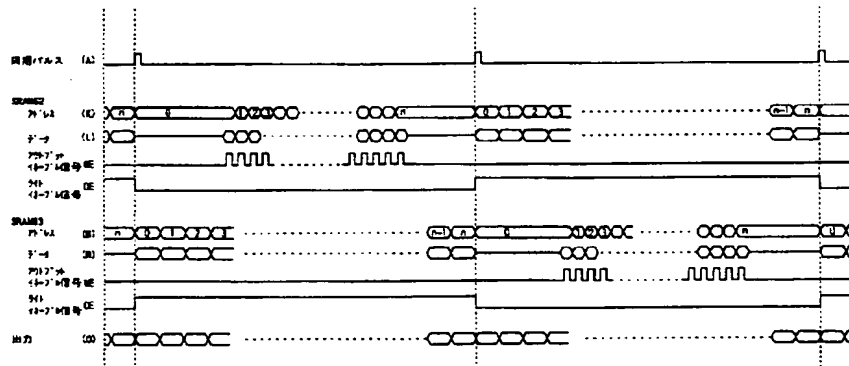
【図2】



【図3】



【図4】



【図5】

